

**SWITCHING CIRCUIT FAULT DETECTING DEVICE**

Veröffentlichungsnr. (Sek.) JP6331679  
Veröffentlichungsdatum : 1994-12-02  
Erfinder : SAKAI MASAYOSHI; others: 01  
Anmelder : NIPPON SIGNAL CO LTD:THE  
Veröffentlichungsnummer : ☐ JP6331679  
Aktenzeichen:  
(EPIDOS-INPADOC-normiert) JP19930116134 19930518  
Prioritätsaktenzeichen:  
(EPIDOS-INPADOC-normiert)  
Klassifikationssymbol (IPC) : G01R31/02; G01R31/00  
Klassifikationssymbol (EC) :  
Korrespondierende Patentschriften

**Bibliographische Daten**

**PURPOSE:** To make it easy to detect the fault of a switching circuit which turns a load on and off.  
**CONSTITUTION:** A signal-transmitting transformer T1 is inserted in series with a first snubber circuit 6 connected in parallel to a relay contact 4a, so that a fault detection signal generated by a signal generator circuit 8 is transmitted to the first snubber circuit 6. A signal-receiving transformer T2 is inserted in series with a second snubber circuit 7 connected in parallel to an SSR (solid-state relay) 5, so that the fault detection signal transmitted to the first snubber circuit 6 is received by the signal-receiving transformer T2. Therefore, when the relay contact 4a or the SSR 5 is shortcircuited, no fault detection signal is transmitted to the signal-receiving transformer T2 and the output of the signal-receiving transformer T2 becomes a logical value of 0. When a load is off in a normal state, a fault detection signal is transmitted to the signal-receiving transformer T2 and the output becomes a logical value of 1.

Daten aus der esp@cenet Datenbank - - I2

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-331679

(43) 公開日 平成6年(1994)12月2日

(51) Int. Cl.

識別記号

庁内整理番号

F 1

技術表示箇所

G 0 1 R 31/02

31/00

8806-2G

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平5-116134

(22) 出願日 平成5年(1993)5月18日

(71) 出願人 000004651

日本信号株式会社

東京都千代田区丸の内3丁目3番1号

(72) 発明者 坂井 正善

埼玉県浦和市上木崎1丁目13番8号 日本

信号株式会社与野事業所内

(72) 発明者 逢原 弘一

埼玉県浦和市上木崎1丁目13番8号 日本

信号株式会社与野事業所内

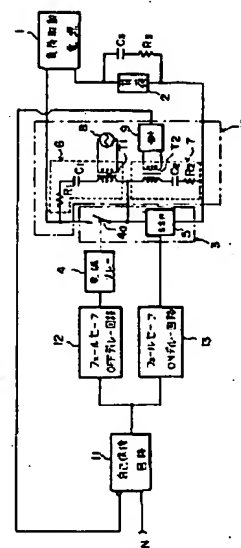
(74) 代理人 弁理士 笹島 富二雄

(54) 【発明の名称】 スイッチ回路故障検出装置

(57) 【要約】

【目的】 負荷をON・OFFするスイッチ回路の故障検出を容易とすることを目的とする。

【構成】 リレー接点4aに並列接続する第1スナバ回路6側に、信号送信トランスT1を直列に挿入し、信号発生回路8で発生する故障検出信号を第1スナバ回路6に伝達する。また、SSR5に並列接続する第2スナバ回路7側に、信号受信トランスT2を直列に挿入し、第1スナバ回路6に伝達された故障検出信号を、信号受信トランスT2で受信する。これにより、リレー接点4a又はSSR5が短絡故障すると、信号受信トランスT2側に故障検出信号が伝達されず、信号受信トランスT2の出力が論理値0となる。正常でOFFしていれば、故障検出信号が信号受信トランスT2に伝達されて出力が論理値1となる。



## 【特許請求の範囲】

【請求項1】電磁リレー接点と半導体スイッチ素子の直列回路で構成され、負荷駆動信号が入力した時に前記電磁リレー接点と半導体スイッチ素子がONして負荷に給電し、負荷駆動信号の入力が停止した時に前記電磁リレー接点と半導体スイッチ素子がOFFして負荷への給電を停止する構成のスイッチ回路の故障を検出するスイッチ回路故障検出装置において、抵抗とコンデンサの直列回路からなり前記電磁リレー接点に対して並列に接続される第1の雑音防止回路と、同じく抵抗とコンデンサの直列回路からなり前記半導体スイッチ素子に対して並列に接続される第2の雑音防止回路と、スイッチ回路故障検出用信号を発生する信号発生回路と、どちらか一方の雑音防止回路に直列に挿入されて前記スイッチ回路故障検出用信号を当該雑音防止回路側に伝達する信号送信トランスと、他方の雑音防止回路に直列に挿入されて前記スイッチ回路故障検出用信号を受信して抽出する信号受信トランスとを備えて構成し、電磁リレー接点及び半導体スイッチ素子の少なくとも一方が短絡した時に信号受信トランスの抽出出力が論理値0となることを特徴とするスイッチ回路故障検出装置。

【請求項2】前記信号受信トランスの抽出出力を整流する整流回路と、該整流回路の整流出力を入力して当該整流出力レベルが所定範囲内にある時にスイッチ回路正常と判断して論理値1の出力を発生するウインドコンパレータとを設けて構成した請求項1記載のスイッチ回路故障検出装置。

【請求項3】前記信号受信トランスの抽出出力を発生する2次側に、前記抽出出力に対して逆相の信号を供給する信号供給手段を設けて構成した請求項2記載のスイッチ回路故障検出装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、制御対象である負荷の駆動電流をON・OFFするスイッチ回路の故障検出を行うスイッチ回路故障検出装置に関する。

## 【0002】

【従来の技術】従来、制御対象である負荷の駆動電流をON・OFFするスイッチ回路を、電磁リレーの接点と半導体スイッチ素子、例えばスリッドステートリレー（SSR）とを直列接続して構成し、電磁リレー接点とSSRをON・OFF制御して負荷への給電を制御するようした負荷駆動回路がある。

【0003】即ち、前記スイッチ回路は、負荷の駆動入力信号が入力した時には、まず、電磁リレー接点がONし、その後SSRがONして初めて負荷に駆動電流が流れ、負荷駆動入力信号が停止した時には、逆にSSRが先にOFFして負荷への給電が停止し、その後電磁リレー接点がOFFするように構成されている。かかる構成によれば、スイッチ回路が正常である時には、実質的

にSSRのON・OFFによって負荷駆動電流のON・OFFが制御され、電磁リレー接点は駆動電流のON・OFFには直接関与しないが、SSRが短絡故障を起こして負荷駆動電流をOFFできない場合に、電磁リレー接点をOFFとすることによって負荷駆動電流を強制的にOFFとすることができる。

【0004】ところで、前記SSRの短絡を検出する従来回路としては、負荷とスイッチ回路とが直列に挿入された負荷給電回路に、トランスの2次側を直列に介装し、このトランスの1次側から交流の短絡検出用信号を前記2次側を介して負荷の給電回路に供給する構成とする。この場合、スイッチ回路の電磁リレーとSSRには、通常、雑音防止回路（コンデンサと抵抗の直列回路で構成されるスナバ回路）がそれぞれ並列接続されており、SSR又は電磁リレー接点が短絡故障した場合には、トランスの1次側から見た給電回路のインピーダンスが低下する。従って、このインピーダンスの低下に基づく出力変化を監視することで、スイッチ回路の短絡を検出するようにしていた。

## 【0005】

【発明が解決しようとする課題】しかしながら、従来の短絡故障の検出回路のように、給電回路のインピーダンス変化に基づく出力変化を監視して、スイッチ回路の短絡故障を検出する方式では、出力のレベル変化を検出することになり、閾値設定が面倒である。また、スナバ回路のコンデンサの短絡故障を考慮しようとすれば、より一層閾値設定が面倒であり、故障検出の精度の面で十分ではなかった。

【0006】本発明は上記の事情に鑑みなされたもので、スイッチ回路の短絡故障の有無を論理値1（出力有り）と論理値0（出力無し）の2値の出力形態で表すことのできるスイッチ回路の故障検出装置を提供することを目的とする。

## 【0007】

【課題を解決するための手段】このため本発明では、電磁リレー接点と半導体スイッチ素子の直列回路で構成され、負荷駆動信号が入力した時に前記電磁リレー接点と半導体スイッチ素子がONして負荷に給電し、負荷駆動信号の入力が停止した時に前記電磁リレー接点と半導体スイッチ素子がOFFして負荷への給電を停止する構成のスイッチ回路の故障を検出するスイッチ回路故障検出装置において、抵抗とコンデンサの直列回路からなり前記電磁リレー接点に対して並列に接続される第1の雑音防止回路と、同じく抵抗とコンデンサの直列回路からなり前記半導体スイッチ素子に対して並列に接続される第2の雑音防止回路と、スイッチ回路故障検出用信号を発生する信号発生回路と、どちらか一方の雑音防止回路に直列に挿入されて前記スイッチ回路故障検出用信号を当該雑音防止回路側に伝達する信号送信トランスと、他方の雑音防止回路に直列に挿入されて前記スイッチ回

路故障検出用信号を受信して抽出する信号受信トランスとを備えて構成し、電磁リレー接点及び半導体スイッチ素子の少なくとも一方が短絡した時に信号受信トランスの抽出出力が論理値0となるようにした。

【0008】また、前記信号受信トランスの抽出出力を整流する整流回路と、該整流回路の整流出力を入力して当該整流出力レベルが所定範囲内にある時にスイッチ回路正常と判断して論理値1の出力を発生するウインドコンパレータとを設けて構成した。また、前記信号受信トランスの抽出出力を発生する2次側に、前記抽出出力に対して逆相の信号を供給する信号供給手段を設けて構成した。

【0009】

【作用】かかる構成において、スイッチ回路の電磁リレー接点と半導体スイッチ素子とが共に正常で短絡故障していない場合、信号発生回路から信号送信トランスを介して一方の雑音防止回路に伝達された交流のスイッチ回路故障検出用信号は、他方の雑音防止回路に挿入された信号受信トランスで受信される。この場合には、信号受信トランスからの抽出出力は論理値1（出力有り）となる。

【0010】一方、電磁リレー接点及び半導体スイッチ素子のどちらか一方が短絡していると、信号発生回路から信号送信トランスを介して一方の雑音防止回路に伝達された交流のスイッチ回路故障検出用信号は、スイッチ回路の短絡によって信号受信トランス側に流れず受信されない。このため、信号受信トランスからの抽出出力は論理値0（出力無し）となる。

【0011】また、雑音防止回路のコンデンサが短絡した場合には、雑音防止回路のインピーダンス変化により、信号受信トランスの1次側に流れる電流が変化し、信号受信トランスの抽出出力レベルが変化する。そして、この短絡時の抽出出力レベルがウインドコンパレータの窓の範囲（設定レベル範囲）外となるように設定することで、雑音防止回路のコンデンサの短絡故障も検出できる。

【0012】また、前記信号受信トランスの抽出出力を発生する2次側に、前記抽出出力に対して逆相の信号を供給する信号供給手段を設けることで、雑音防止回路のコンデンサが短絡した時の信号受信トランスの抽出出力のレベル変化率を拡大することができ、レベル検定における閾値設定が容易になる。

【0013】

【実施例】以下、本発明の実施例を図面に基いて説明する。図1は、本発明に係るスイッチ回路の故障検出装置の第1実施例を適用した負荷駆動回路を示す。尚、図1に示す故障検出装置は、スイッチ回路の短絡故障のみを考慮した場合のものである。

【0014】図1において、商用の交流電源である負荷駆動電源1から交流電流を負荷2に給電する給電回路

に、前記負荷2と直列にスイッチ回路3が接続されている。該スイッチ回路3は、電磁リレー4の励磁時ONするリレー接点4aと半導体スイッチ素子としての例えばSSR5との直列回路からなる。前記リレー接点4aには、接点OFF時の雑音を防止するため抵抗R<sub>1</sub>とコンデンサC<sub>1</sub>の直列回路からなる第1の雑音防止回路である第1スナバ回路6が並列接続されている。また、SSR5にも、同じく抵抗R<sub>2</sub>とコンデンサC<sub>2</sub>からなる第2の雑音防止回路である第2スナバ回路7が並列接続されている。そして、前記第1スナバ回路6に、信号発生回路8で発生する交流のスイッチ回路故障検出用信号を第1スナバ回路6側に伝達する信号送信トランスT1の2次巻線が直列に挿入されている。また、第2スナバ回路7には、第1スナバ回路6に伝達されたスイッチ回路故障検出用信号を受信して抽出する信号受信トランスT2の1次巻線が直列に挿入されている。この信号受信トランスT2の2次巻線には、抽出出力を整流する整流回路9が接続されている。ここで、前記第1及び第2スナバ回路6、7と、信号送信トランスT1と、信号受信トランスT2と、信号発生回路8及び整流回路9で本実施例の故障検出装置10が構成される。また、負荷8にも、同様に抵抗R<sub>3</sub>とコンデンサC<sub>3</sub>の直列回路からなる雑音防止用のスナバ回路が設けられている。

【0015】尚、信号送信トランスT1を第2スナバ回路7側に、信号受信トランスT2を第1スナバ回路6側に設けて構成してもよい。一方、スイッチ回路3に負荷駆動信号I<sub>N</sub>を入力する信号入力部は、自己保持回路11と、フェールセーフなOFFディレー回路12と、フェールセーフなONディレー回路13と、前記電磁リレー4とを備えて構成されている。

【0016】自己保持回路11は、前記故障検出装置10の出力（整流回路9の出力）をトリガ入力とし、負荷駆動信号I<sub>N</sub>をリセット入力として、前記トリガ入力を自己保持する構成である。フェールセーフなOFFディレー回路12は、自己保持回路11の出力が入力すると同時に出力が立ち上がり、自己保持回路11の出力が停止した時に所定時間遅延して出力が立ち下がり、電磁リレー4を励磁・消磁してリレー接点4aをON-OFF制御する。ONディレー回路13は、自己保持回路11の出力が入力すると所定時間遅延して出力が立ち上がり、自己保持回路11の出力が停止した時に同時に出力が立ち下がり、SSR5のON-OFFを制御する。

【0017】尚、自己保持回路11は、故障時に出力が論理値0となるフェールセーフな構成であり、また、OFFディレー回路12及びONディレー回路13も、遅延時間が遅れ側の故障のみ許されるフェールセーフな構成である。次に、この負荷駆動回路及び故障検出装置の動作を説明する。まず、スイッチ回路3が正常の場合について説明する。

【0018】負荷駆動信号I<sub>N</sub>が発生する以前では、信

号発生回路8からの短絡故障検出用信号が、信号送信トランスT1の1次側から2次側に伝達され第1スナバ回路6に伝達される。この時、スイッチ回路3のリレー接点4aとSSR5はOFF状態にあるため、この短絡故障検出用信号は、信号受信トランスT2の1次側を介して2次側に抽出され高エネルギー状態の論理値1（出力有り）の出力が整流回路9に入力する。整流回路9の整流出力は、自己保持回路11にトリガ入力信号として入力する。この状態で、負荷駆動信号INが、自己保持回路11のリセット入力信号として入力すると、自己保持回路11から出力が発生し、OFFディレー回路12及びONディレー回路13に入力する。OFFディレー回路12では、自己保持回路11からの信号が入力すると同時に出力が立ち上がり電磁リレー4が励磁される。これにより、図2に示すように、自己保持回路11の立ち上がりからリレー特性で定まる多少の遅延時間 $t_1$ 後にリレー接点4aがONとなる。また、ONディレー回路13は、図2に示すように、自己保持回路11からの信号が入力してから所定の遅延時間 $t_2$ （ $t_2 > t_1$ ）遅れて出力が立ち上がり、SSR5がONとなる。このように、リレー接点4aがONとなってからSSR5がONとなり、負荷2に駆動電流が流れ、負荷2が駆動される。尚、リレー接点4aがONした時点から、信号受信トランスT2側に信号発生回路8からの信号が伝達されなくなり、整流回路8の出力レベルが論理値0となって自己保持回路11のトリガ入力信号がなくなるが、このトリガ入力は自己保持回路11の出力で自己保持され自己保持回路11は出力を発生し続ける。

【0019】その後、負荷駆動信号INが停止すると、自己保持回路11の出力は同時に立ち下がり、ONディレー回路13の出力も同時に立ち下がりSSR5が直ちにOFFとなって負荷2への駆動電流の給電がなくなり負荷2の駆動が停止する。そして、図2に示すように、SSR5がOFFしてから所定時間 $t_3$ 後にOFFディレー回路12の出力が立ち下がり電磁リレー4が消磁してリレー接点4aがOFFとなる。

【0020】SSR5に短絡故障が発生した場合、信号発生回路8から信号送信トランスT1を介して第1スナバ回路6に伝達される短絡故障検出用信号は、SSR5の短絡によって第2スナバ回路7には流れず信号受信トランスT2側に伝達されない。従って、信号受信トランスT2の抽出出力レベルは論理値0（出力無し）となり、自己保持回路11のトリガ入力信号はない。このため、負荷駆動信号INが自己保持回路11に入力しても自己保持回路11は出力を発生せず、リレー接点4aがOFF状態となって負荷2には駆動電流が供給されることはない。

【0021】従って、SSR5が短絡故障して以後は、負荷駆動電流INが発生してもリレー接点4aによって駆動電流が遮断され負荷2は動作しない。尚、通常は負

荷2の給電は、実質的にSSR5によって制御されてリレー接点4aは負荷2の駆動電流をON-OFFしないので、落着故障の心配はなく信頼性は高いものである。

【0022】このように、本実施例の故障検出装置10は、短絡故障がない時には論理値1の出力を発生し、短絡故障時には論理値0の出力を発生する構成であり、出力が発生するかしないかの2値の出力形態であるので、従来のようなレベル変化を監視するものに比べて短絡故障の検出が容易となり、検出精度が向上する。次に、図3に本発明の故障検出装置の第2実施例を示す。この実施例は、スイッチ回路3の短絡故障だけでなく第1及び第2スナバ回路6、7のコンデンサ $C_1$ 、 $C_2$ の短絡故障も考慮したものである。尚、図1の第1実施例と同一部分には同一符号を付して説明を省略する。

【0023】図3において、本実施例の故障検出装置20では、第1実施例の構成に加えて整流回路9の後段に、故障時には出力が論理値0となるフェールセーフな従来公知のウインドコンバータWCが接続されている。かかる構成において、スナバ回路6、7のコンデンサ $C_1$ 、 $C_2$ が正常の時と短絡故障した時とで、スナバ回路6、7のインピーダンスが変化し、スナバ回路6、7に流れる電流が変化する。これにより、信号受信トランスT2で抽出される信号電圧が変化する。

【0024】従って、ウインドコンバータWCの窓の範囲設定を、コンデンサ $C_1$ 、 $C_2$ が正常の時の信号受信トランスT2の抽出出力レベルが窓の範囲内となり、コンデンサ $C_1$ 、 $C_2$ が短絡故障した時の信号受信トランスT2の抽出出力レベルが窓の範囲外となるように設定する。これにより、コンデンサ $C_1$ 、 $C_2$ の正常時は、ウインドコンバータWCから論理値1の出力が自己保持回路11にトリガ入力信号として入力し、コンデンサ $C_1$ 、 $C_2$ の短絡故障時には、ウインドコンバータWCの出力が論理値0となって自己保持回路11のトリガ入力がなくなる。このため、コンデンサ $C_1$ 、 $C_2$ が短絡故障すれば、負荷駆動信号INが入力しても自己保持回路11から出力が発生せず負荷2は駆動しない。尚、スイッチ回路3の短絡時には、信号受信トランスT2の出力レベルが論理値0となり、ウインドコンバータWCの窓の範囲外となるので、スイッチ回路3の短絡故障も検出できることは言うまでもない。

【0025】ところで、上記第2実施例の構成では、コンデンサ $C_1$ 、 $C_2$ の正常時と短絡故障時の信号受信トランスT2の抽出出力の変化率が小さく、ウインドコンバータWCの窓の範囲を狭く設定する必要があり、設定が難しい。この正常時と短絡時の変化率を大きくするためコンデンサの容量を選択しても精々2倍弱の変化率である。しかも、スナバ回路の機能を果たすためにコンデンサ $C_1$ 、 $C_2$ の容量の選択範囲は狭く選択の自由度は制限される。

【0026】このようなことから、信号受信トランスT

7

2の抽出力の変化率を大きくする故障検出装置の例を図4に第3実施例として示す。尚、図3の第2実施例と同一部分には同一符号を付してある。図4において、本実施例の故障検出装置30は、信号受信トランスT2の2次側に、当該トランスT2の2次巻線と逆巻の巻線C<sub>1</sub>を設け、該巻線C<sub>1</sub>を、信号送信トランスT1の1次巻線と直列に信号発生回路8に接続して信号受信トランスT2の2次側に抽出出力と逆相の電圧を供給する。ここで、巻線C<sub>1</sub>と信号発生回路8とで信号供給手段が構成される。

【0027】かかる構成において、本実施例の信号受信トランスT2の抽出出力レベルは、図3の第2実施例のものに比べて、巻線C<sub>1</sub>で供給される逆相分だけ小さくなる。これに対して、コンデンサC<sub>1</sub>、C<sub>2</sub>の正常時と短絡時のトランスT2の抽出出力レベルの変化は第2実施例と同じである。このため、信号受信トランスT2の抽出出力に対する正常時と故障時の変化の割合、即ち変化率は、抽出出力レベルが小さくなった分拡大されることになる。従って、正常時と故障時とで信号受信トランスT2の出力変化を大きくでき、ウインドコンパレータWCの意の範囲設定が楽になり、故障検出の信頼性を高めることができる。

【0028】

【発明の効果】以上説明したように本発明によれば、スイッチ回路の短絡の有無の判定を2値、即ち、論理値1と0で示すことができ、レベル検定の必要がなく、短絡故障の検出が容易となる。また、故障検出装置の最終段にウインドコンパレータを設ければ、雑音防止回路のコ

8

ンデンサ短絡故障も検出することが可能となり、負荷のスイッチ制御のフェールセーフ性を高めることができ、産業機械のインタロック制御に極めて有効である。

【図面の簡単な説明】

【図1】本発明に係るスイッチ回路故障検出装置の第1実施例を適用した負荷駆動回路の例を示す図

【図2】同上第1実施例のリレー接点とSSRと負荷駆動電流の状態を示すタイムチャート

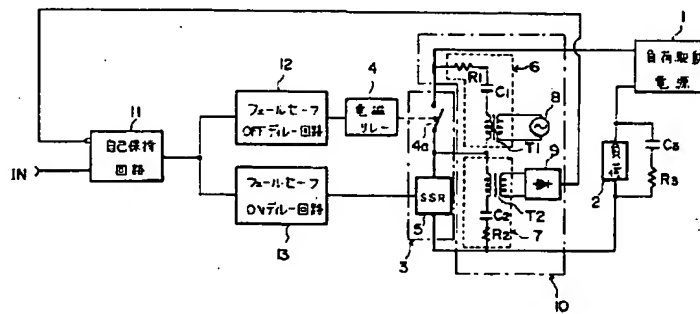
【図3】本発明に係るスイッチ故障検出装置の第2実施例を示す回路図

【図4】本発明に係るスイッチ故障検出装置の第3実施例を示す回路図

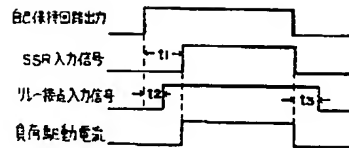
【符号の説明】

- 1 負荷駆動電源
- 2 負荷
- 3 スwitch回路
- 4 電磁リレー
- 4a リレー接点
- 5 SSR (半導体スイッチ素子)
- 6 第1スナバ回路
- 7 第2スナバ回路
- 8 信号発生回路
- 9 整流回路
- 10, 20, 30 故障検出装置
- T1 信号送信トランス
- T2 信号受信トランス
- WC ウインドコンパレータ

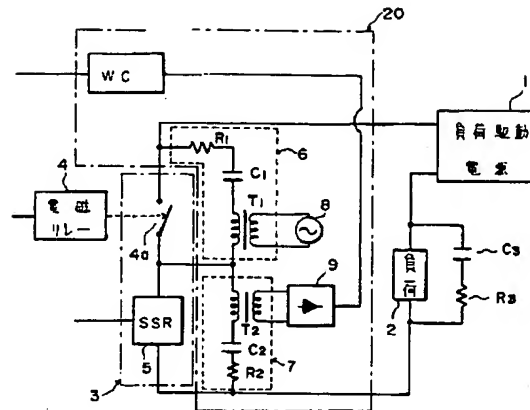
【図1】



【図2】



【図3】



【図4】

